

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-69435

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.<sup>5</sup>  
H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

9054-4M

H 0 1 L 27/ 08

3 2 1 H

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-236549

(22)出願日 平成4年(1992)8月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 矢吹 忍

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 玉村 静世

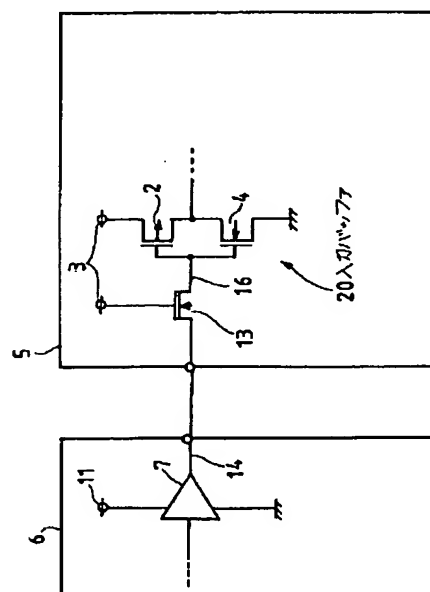
(54)【発明の名称】 入力保護回路、及び半導体集積回路

(57)【要約】

【目的】 本発明の目的は、電流消費を生ずること無しに、動作電圧が異なる複数の回路間でのインタフェースをとるための技術を提供することにある。

【構成】 MOSトランジスタ2、4のゲート電極に伝達されるべき信号の伝達経路にMOSトランジスタ13を直列接続し、このMOSトランジスタ13のゲート電極を、MOSトランジスタ2と共通の電源3に結合することにより、当該MOSトランジスタ13をソースフォロアとして機能させ、MOSトランジスタ2、4のゲート入力電圧レベルをを降圧することによって、ゲート酸化膜の破壊防止を図る。

【図 1】



【特許請求の範囲】

【請求項1】 第1電界効果トランジスタのゲート酸化膜を、当該第1電界効果トランジスタの電源電圧よりも高い入力電圧から保護するための入力保護回路において、上記第1電界効果トランジスタのゲート電極に伝達されるべき信号の伝達経路に第2電界効果トランジスタを直列接続し、この第2電界効果トランジスタのゲート電極が、上記第1電界効果トランジスタと共通の電源に結合されて成ることを特徴とする入力保護回路。

【請求項2】 外部から供給される信号を取込むための入力初段回路を含み、この入力初段回路は、請求項1記載の入力保護回路を含んで成ることを特徴とする半導体集積回路。

【請求項3】 比較的高い電位の電源電圧によって動作される高電源動作回路と、比較的低い電源電圧によって動作される低電源動作回路とが結合されて成る半導体集積回路において、上記低電源動作回路は、請求項1記載の入力保護回路を含んで成ることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力保護回路、さらには、MOSトランジスタのゲート酸化膜保護技術に関し、例えば3.3ボルト（V）で動作する半導体集積回路に適用して有効な技術に関する。

【0002】

【従来の技術】 動作電圧が5ボルトとされる半導体集積回路（以下、「5ボルト動作LSI」という）の出力端子を、動作電圧が3.3ボルトとされる半導体集積回路（以下、「3.3ボルト動作LSI」という）の入力端子に結合する場合、図4に示されるように、3.3ボルト動作LSI 5の入力初段MOSトランジスタ2、4のゲート電極に抵抗体9を接続し、この抵抗体9を介して、5ボルト動作LSI 6の出力バッファ7の論理出力を受けるようにしている。しかし、その場合には、出力バッファ7の論理出力がハイレベルの場合に、そのハイレベル電位、つまり5ボルト電位が、MOSトランジスタ2、4のゲート電極に印加されることになるので、当該MOSトランジスタ2のゲート酸化膜が破壊される虞がある。

【0003】 そこで、図4において8で示されるように、MOSトランジスタ2のゲート電極と、3.3ボルト電源3との間にダイオード8を接続し、矢印10で示すように電流を流すことによって、入力電位レベルを降圧する方式が採用される。それにより、MOSトランジスタ2、4のゲート酸化膜の破壊が防止される。しかしながら、ダイオード8を介して5ボルト電源11から3.3ボルト電源3に向かって流れる電流10は、抵抗体8によって、ある程度制限されるものの、そのようなゲート電極保護回路が数多く設けられた場合には、シス

テム全体の消費電流の低減を阻害する要因とされる。

【0004】 尚、上記のようにダイオードを用いて入力電位レベルを制限することについては、1990アイ・エス・エス・シー・シー、ダイジェスト オブ テクニカルペーパーズ（1990年）第48頁から第49頁（1990ISSCC, Digest of Technical Papers（1990）pp48-49）に記載されている。

【0005】

【発明が解決しようとする課題】 上記のように従来技術によれば、5ボルト動作LSI 6の出力端子を、3.3ボルト動作LSI 5の入力端子に結合する場合、5ボルト電圧がMOSトランジスタ2、4のゲート電極に印加されることにより、当該MOSトランジスタ2、4のゲート酸化膜が破壊される虞があり、また、それを回避するためダイオード8を接続した場合には、このダイオード8を介して5ボルト電源から3.3ボルト電源に向かって電流10が流れてしまい、消費電流の低減が阻害される。

【0006】 本発明の目的は、電流消費を生ずること無しに、動作電圧が異なる複数の回路間でのインタフェースをとるための技術を提供することにある。

【0007】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明かになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】 すなわち、第1電界効果トランジスタのゲート電極に伝達されるべき信号の伝達経路に第2電界効果トランジスタを直列接続し、この第2電界効果トランジスタのゲート電極を、上記第1電界効果トランジスタと共通の電源に結合して、上記第1電界効果トランジスタの入力保護回路を形成するものである。また、そのような入力保護回路を含んで半導体集積回路を構成するものである。さらに、比較的高い電位の電源電圧によって動作される高電源動作回路と、比較的低い電源電圧によって動作される低電源動作回路とが結合されて一つの半導体集積回路が構成されるとき、上記入力保護回路を含んで上記低電源動作回路を構成するものである。

【0010】

【作用】 上記した手段によれば、上記第2電界効果トランジスタは、上記第1電界効果トランジスタのゲート電極に伝達されるべき信号の伝達経路上で、入力電圧を降下させることによって第1電界効果トランジスタのゲート酸化膜を保護するように作用し、このことが、動作電圧が異なる複数の回路間でのインタフェースを達成する。また、上記第1電界効果トランジスタのゲート電極に伝達されるべき信号の伝達経路上に設けられた第2電

界効果トランジスタは、電流パスを形成するものではなく、このことが、電流消費を抑える。

【0011】

【実施例】図1には本発明の一実施例回路が示される。

【0012】図1に示される回路は、特に制限されないが、動作電圧が3.3ボルトとされる3.3ボルト動作LSI5と、動作電圧が5ボルトとされる5ボルト動作LSI6を含む。3.3ボルト動作LSI5、5ボルト動作LSI6は、特に制限されないが、それぞれ公知の半導体集積回路製造技術によりシリコンなどの一つの半導体基板に形成される。

【0013】3.3ボルト動作LSI5と、5ボルト動作LSI6とは、特に制限されないが、一つのボードに載置され、3.3ボルト動作LSIの信号入力端子が、5ボルト動作LSI6の信号出力端子に結合されることによって、5ボルト動作LSI6から3.3ボルト動作LSI5への信号伝達が可能とされる。5ボルト動作LSI6は、5ボルト電源電圧11によって動作される出力バッファ7を含み、この出力バッファ7の論理出力が、3.3ボルト動作LSIの入力端子に伝達される。

【0014】3.3ボルト動作LSI5は、特に制限されないが、pチャンネル型MOSトランジスタ2とnチャンネル型MOSトランジスタ4とが直列接続されて成る入力バッファ20を含み、この入力バッファ20を介して取込まれた信号が、図示されない内部回路に伝達されるようになっている。この入力バッファ20は、3.3ボルト動作LSI5の入力初段回路とされ、3.3ボルト電源3とグランドとに結合される。

【0015】また、本実施例においては、MOSトランジスタ2、4のゲート電極に伝達されるべき信号の伝達経路にnチャンネル型MOSトランジスタ13が直列接続され、このnチャンネル型MOSトランジスタ13のゲート電極が、pチャンネル型MOSトランジスタ2と共通の電源3に結合されている。このように接続されたnチャンネル型MOSトランジスタ13は、ソースフォロアとして機能し、出力電圧は、当該MOSトランジスタ13のゲート電圧から当該MOSトランジスタ13のしきい値( $V_{th}$ )を差引いた電位に等しくなる。つまり、nチャンネル型MOSトランジスタ13のゲート電極には、3.3ボルトが印加されるから、出力バッファ7の論理出力がハイレベル(5ボルト)となった場合、MOSトランジスタ2、4のゲート電極の電位レベルは、 $(3.3 - V_{th})$ ボルトとなる。

【0016】図2には本実施例回路の特性が、従来回路との関係で示される。

【0017】図2に示される特性図では、縦軸が電位、横軸が時間となっている。出力バッファ7の論理出力14が5ボルトになると、従来回路(ダイオード8が無い場合)のMOSトランジスタ2、4のゲート入力電圧15は5ボルトまで上昇するのに対して、本実施例回路で

は、nチャンネル型MOSトランジスタ13を設けることにより、MOSトランジスタ2、4のゲート入力電圧16は $(3.3 - V_{th})$ ボルトまでしか上昇しない。そのように入力電圧が降下されることにより、MOSトランジスタ2、4のゲート酸化膜の破壊が防止される。しかも本実施例回路では、nチャンネル型MOSトランジスタ13を設けたことによって、新たに電流パスが形成されるわけではないので、図4に示されるようにダイオード8を設けた場合と異なり、無駄な電流10が流れることもない。

【0018】上記実施例によれば以下の作用効果が得られる。

【0019】MOSトランジスタ2、4のゲート電極に伝達されるべき信号の伝達経路にnチャンネル型MOSトランジスタ13が直列接続され、このnチャンネル型MOSトランジスタ13のゲート電極が、pチャンネル型MOSトランジスタ2と共通の電源3に結合されることにより、当該MOSトランジスタ13がソースフォロアとして機能し、出力電圧が、当該MOSトランジスタ13のゲート電圧から当該MOSトランジスタ13のしきい値( $V_{th}$ )を差引いた電位に等しくなるので、MOSトランジスタ2、4のゲート酸化膜の破壊が防止される。しかも、その場合に、新たに電流パスが形成されるわけではないので、無駄な電流を消費することがないので、LSI5、6を含むシステム全体の消費電力の低下を図る上で有効とされる。

【0020】図3には他の実施例回路が示される。

【0021】上記実施例では、3.3ボルト動作LSI1、5ボルト動作LSIを含むシステムにおいて、5ボルト動作LSIの入力初段回路、すなわち、入力バッファ20にゲート保護回路を設けたものについて説明したが、図3に示されるように、一つの半導体基板に形成されたLSI30において、互いに異なる複数種類の電源を使用する回路が結合される場合にも、本発明は有効である。例えば、図3に示されるように、pチャンネル型MOSトランジスタ41と、nチャンネル型MOSトランジスタ42とが直列接続されて成るインバータ31が、5ボルト電源によって動作され、pチャンネル型MOSトランジスタ33と、nチャンネル型MOSトランジスタ34とが直列接続されて成るインバータ32が、3.3ボルト電源によって動作される場合において、それら二つのインバータ31、32間の信号伝達経路にnチャンネル型MOSトランジスタ13を直列接続し、このMOSトランジスタ13のゲート電極を、3.3ボルト電源に接続するようにする。

【0022】このように、一つのLSI30において、互いに異なる電源が使用される場合にも、上記nチャンネル型MOSトランジスタ13を設けるようにすれば、MOSトランジスタ33、34のゲート酸化膜の破壊を防止することができ、上記実施例の場合と同様の効果を

得ることができる。

【0023】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0024】例えば、上記実施例ではnチャンネル型MOSトランジスタ13を利用してMOSトランジスタ2、4あるいは33、34のゲート酸化膜の破壊防止を図る場合について説明したが、このnチャンネル型MOSトランジスタ13に代えてpチャンネル型MOSトランジスタを適用することもできる。例えば、-3.3ボルト電源によって動作される回路と、-5ボルト電源によって動作される回路とが結合される場合には、それら二つの回路間にpチャンネル型MOSトランジスタを設け、当該pチャンネル型MOSトランジスタのゲート電極を-3.3ボルト電源に結合すればよい。さらに、上記実施例における電源電圧の値は、一例として一般的な値を示したものであり、その値に限定されるものではない。

【0025】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路に適用した場合について説明したが、本発明はそれに限定されるものではなく、例えば個別的な素子によって構成される各種電子回路に広く適用することができる。

【0026】本発明は、少なくとも互いに電位の異なる電源によって動作される複数の回路が存在することを条件に適用することができる。

【0027】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0028】すなわち、第1電界効果トランジスタのゲート電極に伝達されるべき信号の伝達経路に第2電界効果トランジスタが直列接続され、この第2電界効果トランジスタのゲート電極が、上記第1電界効果トランジスタと共通の電源に結合されることにより、第1電界効果トランジスタのゲート電極に伝達されるべき信号の電位レベルが降圧され、第1電界効果トランジスタのゲート酸化膜が保護される。また、このとき上記第1電界効果トランジスタのゲート電極に伝達されるべき信号の伝達経路上に設けられた第2電界効果トランジスタは、電流パスを形成するものではないので、無駄な電流消費が抑えられる。

【図面の簡単な説明】

【図1】本発明の一実施例回路の電気結線図である。

【図2】本発明の一実施例回路の動作特性図である。

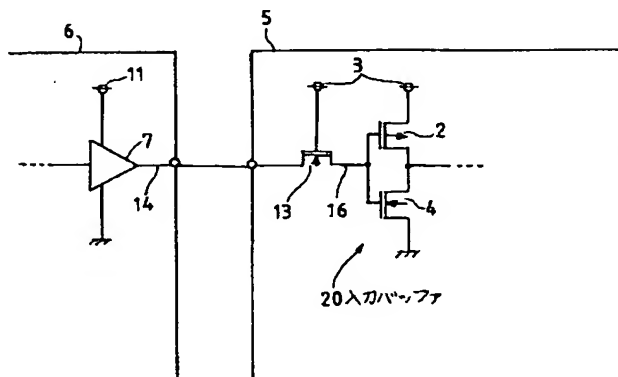
【図3】本発明の他の実施例回路の電気結線図である。

【図4】従来回路の電気結線図である。

【符号の説明】

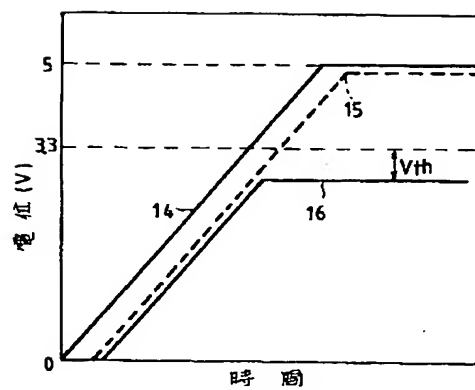
- 2 pチャンネル型MOSトランジスタ
- 3 3.3ボルト電源
- 4 nチャンネル型MOSトランジスタ
- 5 3.3ボルト動作LSI
- 6 5ボルト動作LSI
- 7 出力バッファ
- 13 nチャンネル型MOSトランジスタ
- 31 インバータ
- 32 インバータ
- 33 pチャンネル型MOSトランジスタ
- 34 nチャンネル型MOSトランジスタ
- 41 pチャンネル型MOSトランジスタ
- 42 nチャンネル型MOSトランジスタ

【図1】



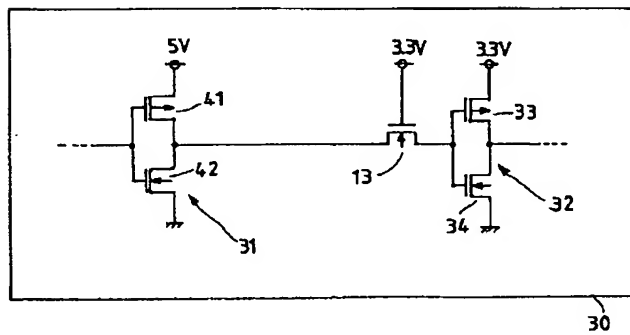
【図1】

【図 2】



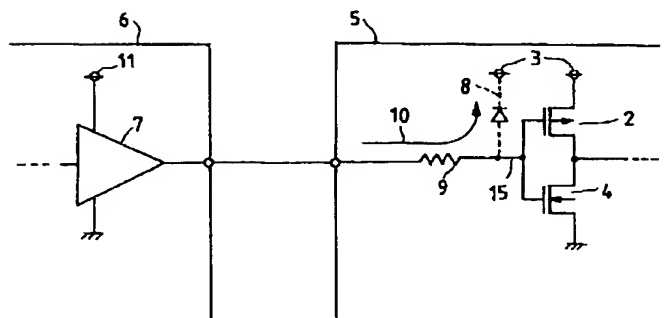
【図 2】

【図 3】



【図 3】

【図 4】



【図 4】

**\* NOTICES \***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The input-protection circuit which carries out the series connection of the 2nd field-effect transistor to the transfer path of the signal which should be transmitted to the gate electrode of the 1st field-effect transistor of the above in the input-protection circuit for protecting the gate oxide of the 1st field-effect transistor from input voltage higher than the supply voltage of the 1st field-effect transistor concerned, and is characterized by being combined with the 1st field-effect transistor of the above, and a common power source, and the gate electrode of this 2nd field-effect transistor changing.

[Claim 2] the input for incorporating the signal supplied from the outside -- the first rank -- a circuit -- containing -- this input -- the first rank -- the semiconductor integrated circuit characterized by a circuit changing including an input-protection circuit according to claim 1.

[Claim 3] It is the semiconductor integrated circuit characterized by the above-mentioned low power-source actuation circuit changing including an input-protection circuit according to claim 1 in the semiconductor integrated circuit which the high power-source actuation circuit which operates with the supply voltage of comparatively high potential, and the low power-source actuation circuit which operates with comparatively low supply voltage are combined, and changes.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is further applied to an input-protection circuit and the semiconductor integrated circuit which operates by 3.3 volts (V), concerning the gate oxide protection technique of an MOS transistor, and relates to an effective technique.

[0002]

[Description of the Prior Art] Operating voltage the output terminal of the semiconductor integrated circuit (henceforth "the 5-volt actuation LSI") made into 5 volts When operating voltage combines with the input terminal of the semiconductor integrated circuit (henceforth "the 3.3-volt actuation LSI") made into 3.3 volts, as shown in drawing 4 the input of the 3.3-volt actuation LSI 5 -- the first rank -- he connects a resistor 9 to the gate electrode of MOS transistors 2 and 4, and is trying to receive the fanout of the output buffer 7 of the 5-volt actuation LSI 6 through this resistor 9 However, since the high-level potential, i.e., 5-volt potential, will be impressed to the gate electrode of MOS transistors 2 and 4 in that case when the fanout of an output buffer 7 is high-level, there is a possibility that the gate oxide of MOS transistor 2 concerned may be destroyed.

[0003] Then, as drawing 4 shown in 8, the method which lowers the pressure of input potential level is adopted by connecting diode 8 with the gate electrode of MOS transistor 2 between the 3.3-volt power sources 3, and passing a current, as an arrow head 10 shows. Thereby, destruction of the gate oxide of MOS transistors 2 and 4 is prevented. However, the current 10 which flows toward the 3.3-volt power source 3 through diode 8 from the 5-volt power source 11 is made into the factor which checks reduction of the system-wide consumed electric current when many such gate electrode protection networks are prepared by it, although restricted to some extent by the resistor 8.

[0004] In addition, about restricting input potential level using diode as mentioned above, they are 1990 insertion-sequence S C C and a digest. OBU Technical pay parsing (1990) It is indicated by the 49th page (1990ISSCC, Digest of Technical Papers(1990) pp 48-49) from the 48th page.

[0005]

[Problem(s) to be Solved by the Invention] When combining the output terminal of the 5-volt actuation LSI 6 with the input terminal of the 3.3-volt actuation LSI 5 as mentioned above according to the conventional technique, by impressing a 5-volt electrical potential difference to the gate electrode of MOS transistors 2 and 4 In order for there to be a possibility that the gate oxide of MOS transistors 2 and 4 concerned may be destroyed and to avoid it, when diode 8 is connected, a current 10 flows toward a 3.3-volt power source through this diode 8 from a 5-volt power source, and reduction of the consumed electric current is checked.

[0006] The object of this invention is to offer the technique for taking the interface between two or more circuits where operating voltage differs, without producing current consumption.

[0007] The other objects and the new description will become clear from description and the accompanying drawing of this description along [ said ] this invention.

[0008]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0009] That is, the series connection of the 2nd field-effect transistor is carried out to the transfer path of the signal which should be transmitted to the gate electrode of the 1st field-effect transistor, the gate electrode of this 2nd field-effect transistor is combined with the 1st field-effect transistor of the above, and a common power source, and the input-protection circuit of the 1st field-effect transistor of the above is formed. Moreover, a semiconductor integrated circuit is constituted including such an input-protection circuit. Furthermore, when the high power-source actuation circuit which operates with the supply voltage of comparatively high potential, and the low power-source actuation circuit which operates with comparatively low supply voltage are combined and one semiconductor integrated circuit is constituted, the above-mentioned low power-source actuation circuit is constituted including the above-mentioned input-protection circuit.

[0010]

[Function] According to the above-mentioned means, the 2nd field-effect transistor of the above acts so that the gate oxide of the 1st field-effect transistor may be protected by dropping input voltage on the transfer path of the signal which should be transmitted to the gate electrode of the 1st field-effect transistor of the above, and it attains the interface between two or more circuits where operating voltage differs [ this ]. Moreover, the 2nd field-effect transistor prepared on the transfer path of the signal which should be transmitted to the gate electrode of the 1st field-effect transistor of the above does not form current pass, and this holds down current consumption.

[0011]

[Example] One example circuit of this invention is shown in drawing 1.

[0012] Although especially the circuit shown in drawing 1 is not restricted, it includes the 5-volt actuation LSI 6 by which the 3.3-volt actuation LSI 5 by which operating voltage is made 3.3 volts, and operating voltage are made 5 volts. Although especially the 5 or 5 volt actuation LSI 6 of 3.3-volt actuation LSI is not restricted, it is formed in one semi-conductor substrates, such as silicon, of a respectively well-known semiconductor integrated circuit manufacturing technology.

[0013] Although the 3.3-volt actuation LSI 5 and especially the 5-volt actuation LSI 6 are not restricted, they are laid in one board and signal transduction to the 3.3-volt actuation LSI 5 of them is made possible from the 5-volt actuation LSI 6 by combining the signal input terminal of the 3.3-volt actuation LSI with the signal output terminal of the 5-volt actuation LSI 6. The fanout of this output buffer 7 is transmitted to the input terminal of the 3.3-volt actuation LSI including the output buffer 7 to which the 5-volt actuation LSI 6 operates with the 5-volt supply voltage 11.

[0014] Although especially the 3.3-volt actuation LSI 5 is not restricted, the signal incorporated through this input buffer 20 is transmitted to the internal circuitry which is not illustrated including the input buffer 20 of which the series connection of p channel mold MOS transistor 2 and n channel mold MOS transistor 4 is carried out, and they consist. this input buffer 20 -- the input of the 3.3-volt actuation LSI 5 -- the first rank -- it considers as a circuit and is combined with the 3.3-volt power source 3 and a gland.

[0015] Moreover, in this example, the series connection of n channel mold MOS transistor 13 is carried out to the transfer path of the signal which should be transmitted to the gate electrode of MOS transistors 2 and 4, and the gate electrode of this n channel mold MOS transistor 13 is combined with p channel mold MOS transistor 2 and the common power source 3. Thus, connected n channel mold MOS transistor 13 functions as a source follower, and output voltage becomes equal to the potential which deducted the threshold ( $V_{th}$ ) of MOS transistor 13 concerned from the gate voltage of MOS transistor 13 concerned. That is, since 3.3 volts is impressed to the gate electrode of n channel mold MOS transistor 13, when the fanout of an output buffer 7 is set to high level (5 volts), the potential level of the gate electrode of MOS transistors 2 and 4 serves as a bolt ( $3.3 - V_{th}$ ).

[0016] The property of this example circuit is conventionally shown to drawing 2 by relation with



a circuit.

[0017] In property drawing shown in drawing 2, an axis of ordinate serves as potential and the axis of abscissa serves as time amount. If the fanout 14 of an output buffer 7 becomes 5 volts, the gate input voltage 16 of MOS transistors 2 and 4 will rise even to a bolt ( $3.3-V_{th}$ ) conventionally by forming n channel mold MOS transistor 13 in this example circuit to the gate input voltage 15 of MOS transistors 2 and 4 of a circuit (when there being no diode 8) rising to 5 volts. When input voltage descends such, destruction of the gate oxide of MOS transistors 2 and 4 is prevented. And in this example circuit, since current pass is not necessarily newly formed by having formed n channel mold MOS transistor 13, unlike the case where diode 8 is formed as shown in drawing 4, the useless current 10 does not flow.

[0018] According to the above-mentioned example, the following operation effectiveness is acquired.

[0019] The series connection of n channel mold MOS transistor 13 is carried out to the transfer path of the signal which should be transmitted to the gate electrode of MOS transistors 2 and 4. By combining the gate electrode of this n channel mold MOS transistor 13 with p channel mold MOS transistor 2 and the common power source 3 Since MOS transistor 13 concerned functions as a source follower and output voltage becomes equal to the potential which deducted the threshold ( $V_{th}$ ) of MOS transistor 13 concerned from the gate voltage of MOS transistor 13 concerned Destruction of the gate oxide of MOS transistors 2 and 4 is prevented. And since current pass is not necessarily newly formed in that case and a useless current is not consumed, it is supposed that it is effective when aiming at lowering of the power consumption of the whole system containing LSI 5 and 6.

[0020] Other example circuits are shown in drawing 3.

[0021] the system which includes the 3.3 volt actuation LSI and the 5 volt actuation LSI in the above-mentioned example -- setting -- the input of 5 volt actuation LSI -- the first rank -- although what established the gate protection network in the circuit 20, i.e., an input buffer, explained, this invention is effective also when the circuit which uses two or more kinds of mutually different power sources in LSI30 formed in one semi-conductor substrate is combine, as show in drawing 3 As shown in drawing 3, for example, p channel mold MOS transistor 41, The inverter 31 with which the series connection of n channel mold MOS transistor 42 is carried out, and it changes operates according to a 5-volt power source. p channel mold MOS transistor 33, [ when the inverter 32 with which the series connection of n channel mold MOS transistor 34 is carried out, and it changes operates according to a 3.3 volt power source ] The series connection of n channel mold MOS transistor 13 is carried out to these two inverters 31 and the signal transduction path between 32, and the gate electrode of this MOS transistor 13 is connected to a 3.3-volt power source.

[0022] Thus, in one LSI30, if above-mentioned n channel mold MOS transistor 13 is formed also when a mutually different power source is used, destruction of the gate oxide of MOS transistors 33 and 34 can be prevented, and the same effectiveness as the case where it is the above-mentioned example can be acquired.

[0023] Although invention made by this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to it and does not deviate from the summary.

[0024] For example, although the above-mentioned example explained the case where destructive prevention of MOS transistors 2 and 4 or the gate oxide of 33 and 34 was aimed at using n channel mold MOS transistor 13, it can replace with this n channel mold MOS transistor 13, and a p channel mold MOS transistor can also be applied. For example, what is necessary is to prepare a p channel mold MOS transistor between these two circuits, and just to combine the gate electrode of the p channel mold MOS transistor concerned with a -3.3-volt power source, when the circuit which operates according to a -3.3-volt power source, and the circuit which operates according to a -5-volt power source are combined. Furthermore, the value of the supply voltage in the above-mentioned example shows the general value as an example, and is not limited to the value.

[0025] Although the above explanation explained the case where invention mainly made by this

invention person was applied to the semiconductor integrated circuit which is a field of the invention used as the background, this invention is not limited to it and can be widely applied to the various electronic circuitries constituted by the individual component.

[0026] This invention is applicable on condition that two or more circuits which operate according to the power source from which potential differs mutually at least exist.

[0027]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0028] That is, by carrying out the series connection of the 2nd field-effect transistor to the transfer path of the signal which should be transmitted to the gate electrode of the 1st field-effect transistor, and combining the gate electrode of this 2nd field-effect transistor with the 1st field-effect transistor of the above, and a common power source, the pressure of the potential level of the signal which should be transmitted to the gate electrode of the 1st field-effect transistor is lowered, and the gate oxide of the 1st field-effect transistor is protected. Moreover, since the 2nd field-effect transistor prepared on the transfer path of the signal which should be transmitted to the gate electrode of the 1st field-effect transistor of the above at this time does not form current pass, useless current consumption is held down.

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**